

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **59-100967**

(43)Date of publication of application : **11.06.1984**

(51)Int.Cl.

G06F 15/16

(21)Application number : **57-211136**

(71)Applicant : **FUJI FACOM CORP**

(22)Date of filing : **30.11.1982**

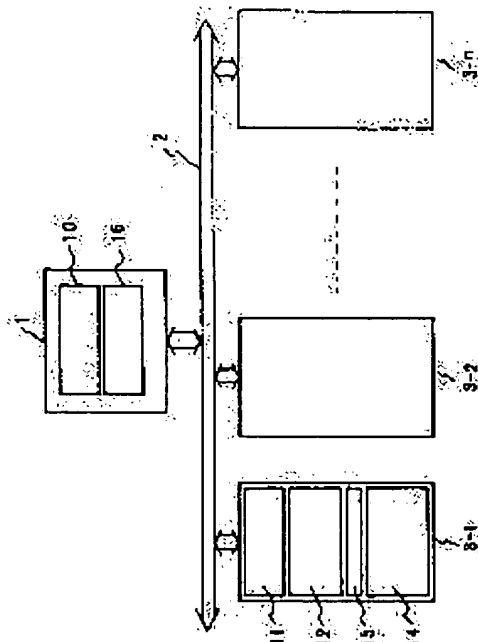
(72)Inventor : **CHIBA YOSHIHIRO
SHIOTANI SHIGERU**

(54) INITIAL PROCESSING SYSTEM OF MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To improve the using efficiency of a processor card by storing an initial processing program in a shared memory and then discarding the program in a start mode after loading it in the own card memory for execution.

CONSTITUTION: An initial processing program which is common to processor cards 3-1 W3-n is stored in an initial processing program region 16 within a common memory 1. The 1st processor executes the loading of the initial processing program which is stored in a memory region 15 of the card 3-1 and then loads the initial processing program in the memory 1 to a data memory region 12 of the card 3-1 via a common bus 2. When the execution of the initial processing program is completed, the initial processing program loaded in the region 12 is discarded. Then the data memory region is initialized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—100967

⑤ Int. Cl.³
G 06 F 15/16

識別記号

庁内整理番号
R 6619—5 B

⑬ 公開 昭和59年(1984)6月11日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ マルチプロセッサ・システムのイニシャル処理方式

① 特 願 昭57—211136

② 出 願 昭57(1982)11月30日

⑦ 発 明 者 千葉芳弘

日野市富士町1番地富士ファコム

ム制御株式会社内

⑧ 発 明 者 塩谷滋

日野市富士町1番地富士ファコム

ム制御株式会社内

⑨ 出 願 人 富士ファコム制御株式会社

日野市富士町1番地

⑭ 代 理 人 弁理士 玉虫久五郎 外3名

明 細 書

1 発明の名称 マルチプロセッサ・システムのイニシャル処理方式

2 特許請求の範囲

固定部分及び所定フォーマットでテーブル化された可変部分から成る機能処理プログラム並びに該機能処理プログラムに従って処理すべきデータを記憶するメモリ領域を有するカードメモリを備えた複数のプロセッサ並びにこれら各プロセッサの前記機能処理プログラムの可変部分を記憶するメモリ領域を備え、かつ前記各プロセッサに共有される共有メモリを共通バスで接続して成り、前記複数のプロセッサの各々は、システムスタート時にイニシャル処理プログラムに従って前記共有メモリから前記機能処理プログラムの可変部分を自己のカードメモリにローディングするマルチプロセッサ・システムのイニシャル処理方式において、

前記共有メモリは前記イニシャル処理プログラ

ムを記憶しておくメモリ領域を備え、各プロセッサは前記イニシャル処理プログラムを自己のプロセッサカードにローディングするイニシャル処理プログラム・ローダーを備え、各プロセッサは、システムスタート時において、前記イニシャル処理プログラム・ローダーの実行によつて前記共有メモリから自己のカードメモリ内の前記データメモリ領域内にイニシャル処理プログラムをローディングし、該ローディングしたイニシャル処理プログラムの実行によつて前記共有メモリから自己のカードメモリ内に前記機能処理プログラムの可変部分をローディングし、該ローディングの終了後に前記イニシャル処理プログラムを放棄することによつて前記データメモリ領域をイニシャライズすることを特徴とするマルチプロセッサ・システムのイニシャル処理方式。

3 発明の詳細な説明

発明の技術分野

この発明は、マルチプロセッサ・システムのシステムスタート時におけるイニシャル処理方式に

関する。

従来技術と問題点

複数のプロセッサが共通バスを介してデータの授受及び処理を行なう情報処理システムはマルチプロセッサ・システムとして周知である。このようなマルチプロセッサ・システムは、一般に各プロセッサが共通バスを介してアクセスする共有メモリを備えている。各プロセッサとその周辺装置は、製造や保守等の便宜上、各機能ごとに差し替え可能な一枚のプリント配線板上に実装（カード化）されることが望ましく、このために部品実装スペースが制限される。これは、各プロセッサ^{のメモリ}についても例外ではなく、各プロセッサがカード化された小容量のメモリをいかに効率良く使用できるかが大きな技術的課題の一つである。

また近年ソフトウェアの開発に費す人件費を削減するうえで、機能処理プログラムのうち固定部分についてはこれをファームウェア化し、仕様に依じて変更すべき部分についてはこれを所定フォーマットのテーブル化を行なうという傾向にある。

ムスタート時にイニシャル処理プログラム領域13内のプログラムの実行により、共有メモリ1内の共通テーブル10の内容がテーブルメモリ領域11に転送される。

上記従来例は、メモリのカード化とテーブル化により、製造や保守の簡易化、ソフトウェア開発費の軽減化、さらには共通バスの使用の効率化が図られているが、イニシャル処理プログラムが比較的大容量であるため、プロセッサカードの機能を実現するためのテーブルメモリ、データメモリ及び機能処理プログラムを格納するメモリ領域11、12及び14の容量が制限されるという欠点が伴う。特に共通メモリ1内の共通メモリ10の内容をテーブル領域11内に単に転送するのではなく、必要に応じてプロセッサが処理し易い形式やテーブル変更が容易な形式に変換しつつ転送する場合には、イニシャル処理プログラムの容量が増加し上述の欠点が顕著になる。

発明の目的

本発明は上述した従来の問題点に鑑みてなされ

従つてマルチプロセッサ・システムの設計においても、上述のテーブル化による経済化を考慮する必要がある。さらに、この種マルチプロセッサ・システムにおいては、システム全体の処理能力を高めるうえで、各プロセッサが共通バスを効率良く使用する必要がある。

従来のマイクロプロセッサ・システムは、上述の諸点を考慮して第1図に示すようなメモリ構成を採用している。図中、3-1は第1のプロセッサのカード化されたメモリ（「プロセッサカード」）、3-2は第2のプロセッサのプロセッサカード、以下同様にして3-nは第n番目のプロセッサのプロセッサカードであり、これら各プロセッサカードの内容は共通バス2を介しての転送により共有メモリ1の内容と置き換えられる。各プロセッサカード3-1、3-2……3-nのメモリ構成はほぼ同一であり、これをプロセッサカード3-1で代表して例示すれば、テーブルメモリ領域11、データメモリ領域12、イニシャル処理プログラム領域13及び機能処理プログラム領域14を備えており、システ

たものであり、その目的はプロセッサカードの使用効率の高いイニシャル処理方式を提供することにある。

発明の構成

上述した目的を達成する本発明によれば、イニシャル処理プログラムを個々のプロセッサカードではなく共有メモリ内に記憶しておき、各プロセッサがシステムスタート時において、自己のカードメモリ内のデータメモリ領域内に共有メモリ上のイニシャル処理プログラムをローディングし実行したのちこれを放棄することによりデータメモリ領域をイニシャライズするイニシャル処理方式が提供される。

発明の実施例

第2図は本発明の一実施例のメモリ構成を示すブロック図であり、本図中第1図と同一の参照符号を付した要素は第1図に関し既に説明したものと同一の要素である。この実施例においては、プロセッサカード3-1はイニシャル処理プログラムを記憶しておくためのメモリ領域を備えておらず、

これに代えて小容量のイニシャル処理プログラム・ローダーを記憶しておくためのメモリ領域15を備えている。これは他のすべてのプロセッサカード3-2……3-nについても同様であり、各プロセッサカード3-1, 3-2……3-nに共通するイニシャル処理プログラムは、共通メモリ1内に備えられたイニシャル処理プログラム領域16に記憶されている。

この実施例のマルチプロセッサ・システムのシステムスタート時におけるイニシャル処理動作を、プロセッサカード3-1を備えた第1のプロセッサを例にとり、第3図のフローチャートを参照して説明する。まず第1のプロセッサは、プロセッサカード3-1のメモリ領域15に記憶されているイニシャル処理プログラム・ローダーを実行することにより、共通メモリ1内のメモリ領域16に記憶されているイニシャル処理プログラムを共通バス2経由でプロセッサカード3-1のデータメモリ領域12内にローディングする。このイニシャル処理プログラムのローディングが終了すると、第1のプ

ロセッサは、データメモリ領域12内にローディングされたイニシャル処理プログラムに分岐しその実行を開始する。このイニシャル処理プログラムの実行により、共通メモリ1内のメモリ領域10に記憶されている共通テーブルが共通バス2経由でプロセッサカード3-1のテーブルメモリ領域11内にローディングされる。このテーブルローディング等の実行が終了すると、第1のプロセッサは再びイニシャル処理プログラム・ローダーに分岐し、イニシャル処理プログラムの実行を終了させるためのプログラム(STOPiNTL)の実行を開始する。このSTOPiNTLの実行により、データメモリ領域12内にローディングされていたイニシャル処理プログラムが放棄され、データメモリ領域が初期化される。その後第1のプロセッサは、機能処理プログラム領域14内に記憶されている機能処理プログラムに従つて、図示しない入出力装置やコントローラ等の周辺装置から処理すべきデータをデータメモリ領域12内に読み込み、データ処理を開始する。

第4図は本発明の他の実施例の構成を示すブロック図であり、本図中第2図と同一の参照符号を付した要素は、第2図に関し既に説明したものと同一の要素である。本実施例は、共有メモリ1の領域10に記憶されているイニシャル処理プログラムの容量が大きくてこれをカードメモリ3-1のデータメモリ領域12に一度にはローディングできないため、2回に分けてローディングし実行する例を示している。

第5図のフローチャートを参照して本実施例の動作を説明すれば、第1のプロセッサは、システムスタート時において、まずプロセッサカード3-1のメモリ領域15-1に記憶されている第1のイニシャル処理プログラム・ローダーを実行することにより、共有メモリ1内のメモリ領域16-1に記憶されている第1のイニシャル処理プログラムを共通バス2経由でプロセッサカード3-1のデータメモリ領域12内にローディングする。このローディングが終了すると、第1のプロセッサは、ローディングした第1のイニシャル処理プログラム

に分岐しその実行を開始する。この第1のイニシャル処理プログラムの実行によつて、共有メモリ1内のメモリ領域10-1に記憶されている第1の共通テーブルが共通バス2経由でプロセッサカード3-1のテーブルメモリ領域11-1内にローディングされる。この第1の共通テーブルのローディング等が終了すると、第1のプロセッサは、メモリ領域15-2に記憶されている第2のイニシャル処理プログラム・ローダーに分岐する。

第2のイニシャル処理プログラム・ローダーの実行を開始した第1のプロセッサは、共有メモリ1内のメモリ領域16-2に記憶されている第2のイニシャル処理プログラムを共通バス2経由で読み出し、これをデータメモリ領域12内にローディングされている第1のイニシャル処理プログラム上に上書きすることによつてデータメモリ領域12内にローディングする。このローディングが終了すると、第1のプロセッサは、ローディングした第2のイニシャル処理プログラムに分岐し、その実行を開始する。この第2のイニシャル処理プログ

ラムの実行によつて、共有メモリ1内のメモリ領域10-2に記憶されている第2の共通テーブルが共通バス2経由でプロセッサカード3-1のテーブルメモリ領域11-2内にローディング等が行なわれる。この第2の共通テーブルのローディング等が終了すると、第1のプロセッサは再び第2のイニシャル処理プログラム・ローダーに分岐し第2のイニシャル処理プログラムの実行を終了させるためのプログラム(STOPINTL2)の実行を開始する。このプログラムの実行により、データメモリ領域12内にローディングされていた第2のイニシャル処理プログラムが放棄され、データメモリ領域12が初期化される。

上記実施例では、テーブルのローディングを2回に分けて行なつたが、イニシャル処理プログラムの容量とプロセッサカードのデータメモリ領域の容量に応じて3回あるいはそれ以上に分けてローディングを行なうこともできる。

発明の効果

以上説明したように、本発明は、イニシャル処

理プログラムを共有メモリ内に記憶しておき、各プロセッサがシステムスタート時において自己のカードメモリ内のデータメモリ領域内にイニシャル処理プログラムをローディングし実行する構成であるから、各プロセッサカード上にイニシャル処理プログラムを常駐させる必要が無くなり、プロセッサカードの効率的使用が図れるという利点がある。

また本発明によれば、比較的大容量のイニシャル処理プログラムを何回かに分けてローディングし実行することができるので、テーブルメモリをプロセッサが処理し易い形式やテーブル変更が容易な形式等に変換しつつ転送できるという利点もある。

本図面の簡単な説明

第1図は従来方式を説明するためのメモリ構成図、第2図は本発明の一実施例を説明するためのメモリ構成図、第3図は上記一実施例の動作を説明するためのフローチャート、第4図は本発明の他の実施例を説明するためのメモリ構成図、第5

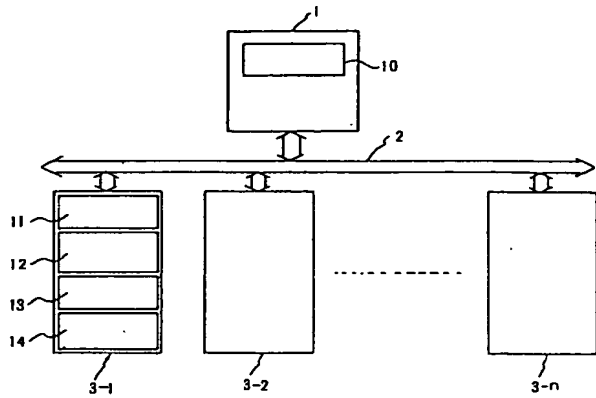
図は上記他の実施例の動作を説明するためのフローチャートである。

1…共有メモリ、2…共通バス、3-1～3-n…プロセッサカード、10…共通テーブル、11…テーブルメモリ領域、12…データメモリ領域、13…イニシャル処理プログラム領域、14…機能処理プログラム領域、15…イニシャル処理プログラム・ローダー領域、16…イニシャル処理プログラム領域。

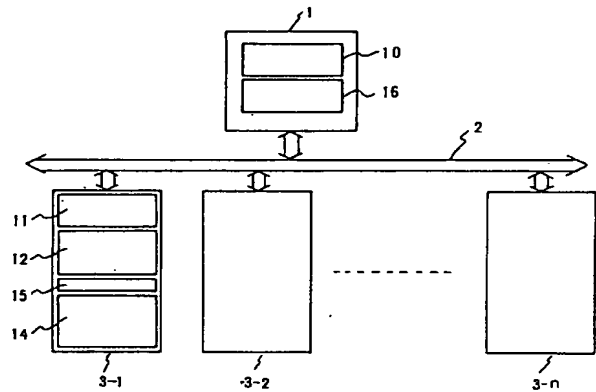
特許出願人 富士フアコム制御株式会社

代理人弁理士 玉 島 久 五 郎 (外3名)

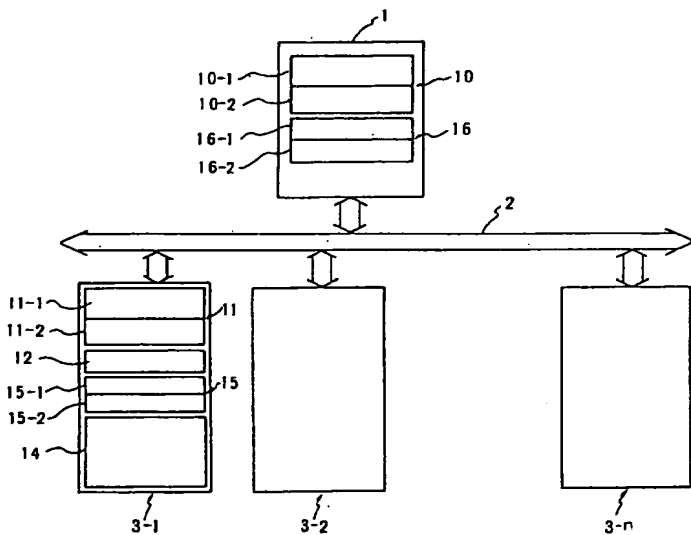
第 1 図



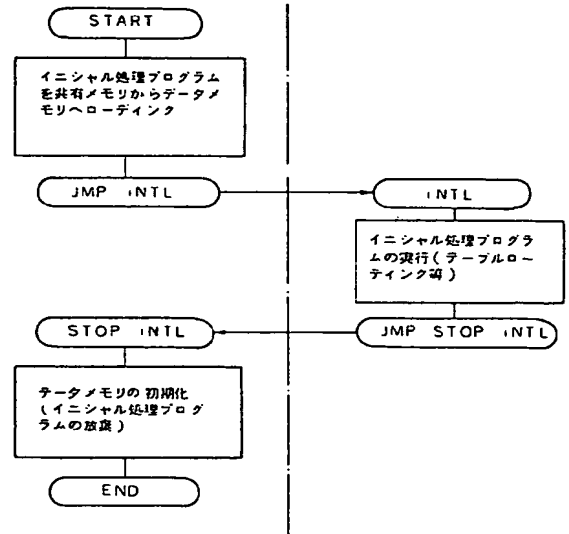
第 2 図



第 4 図



第 3 図



第 5 図

